



Espacenet

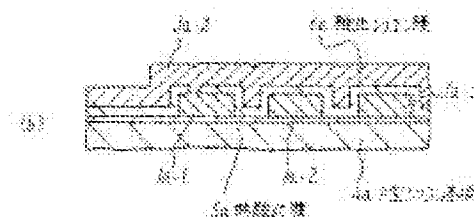
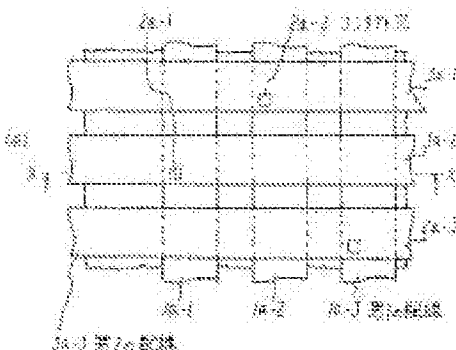
Bibliographic data: JP 2090673 (A)

READ-ONLY SEMICONDUCTOR MEMORY DEVICE

Publication date: 1990-03-30
Inventor(s): HAMADA HIROYUKI ±
Applicant(s): NEC CORP ±
Classification:
 - international: H01L21/8229; H01L27/00; H01L27/102; (IPC1-7): H01L27/00; H01L27/102
 - European:
Application number: JP19880245050 19880928
Priority number(s): JP19880245050 19880928

Abstract of JP 2090673 (A)

PURPOSE:To heap up memory cells in multilayer so as to realize a highly integrated memory device by a method wherein a group of wirings composed of silicon films, whose conductivity type are opposite to each other and which are provided interposing an insulating film between them, are provided, and memory cells where coding is carried out through a contact hole. **CONSTITUTION:**First wirings 1a-1, 1a-2,... formed of n-type polycrystalline silicon film are formed on a thermal oxide film 5a deposited on a P-type silicon substrate 4a. A silicon oxide film 6a is formed thereon through a CVD method, where holes are bored in the specified regions of the film 6a to form memory coding contact holes 2a-1, 2a-2,..., and second wirings 3a-1, 3a-2,... formed of P-type polycrystalline silicon film are formed thereon. If a contact hole subsists at the intersection of the first and the second wirings, joining can be made there. As a memory device of this design is simple in structure as compared with a MOS transistor, a unit memory cell is small in occupying area and can be easily and densely integrated.



⑫ 公開特許公報(A) 平2-90673

⑤ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)3月30日

H 01 L 27/102
27/00

3 0 1 A

7514-5F
8624-5F

H 01 L 27/10 4 3 5

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 読み出し専用半導体記憶装置

⑯ 特 願 昭63-245050

⑰ 出 願 昭63(1988)9月28日

⑱ 発 明 者 濱 田 弘 幸 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

読み出し専用半導体記憶装置

特 許 請 求 の 範 囲

半導体基板上に形成された第1の絶縁膜と、前記第1の絶縁膜上に形成された第1導電形シリコン膜からなる第1の配線群と、前記第1の配線群上に第2の絶縁膜をはさんで交差するように形成された第2導電形シリコン膜からなる第2の配線群を有し、前記第2の絶縁膜における前記第1の配線群と前記第2の配線群のそれぞれの配線の交差する領域の所定箇所に設けられたコンタクト孔を有し、前記コンタクト孔部において前記第1導電形シリコン膜と前記第2導電形シリコン膜とが接合してなるダイオードを単位記憶セルとして有することを特徴とする読み出し専用半導体記憶装置。

発 明 の 詳 細 な 説 明

〔産業上の利用分野〕

本発明は半導体装置に関し、特に読み出し専用半導体記憶装置に関する。

〔従来の技術〕

従来、読み出し専用半導体記憶装置は、第3図に示すように、シリコン基板(4)上に形成されたMOSトランジスタを用いて記憶セルを構成していた。

〔発明が解決しようとする課題〕

上述した従来の読み出し専用半導体記憶装置は、半導体基板上に形成されたMOSトランジスタから構成されていて記憶セルを一平面内に作り込むため、集積度が上がらないという欠点がある。

本発明の目的は高集積化に好適な読み出し専用半導体記憶装置を提供することにある。

〔課題を解決するための手段〕

本発明の読み出し専用半導体記憶装置は、半導体基板上に形成された第1の絶縁膜と、前記第1

の絶縁膜上に形成された第1導電形シリコン膜からなる第1の配線群と、前記第1の配線群上に第2の絶縁膜をはさんで交差するように形成された第2導電形シリコン膜からなる第2の配線群を有し、前記第2の絶縁膜における前記第1の配線群と前記第2の配線群のそれぞれの配線の交差する領域の所定箇所に設けられたコンタクト孔を有し、前記コンタクト孔部において前記第1導電形シリコン膜と前記第2導電形シリコン膜とが接合してなるダイオードを単位記憶セルとして有するというものである。

〔実施例〕

次に本発明について図面を参照して説明する。

第1図(a)は本発明の一実施例を示す半導体チップの平面図、第1図(b)は第1図(a)のX-X'線断面図である。

P形シリコン基板4a上に形成された熱酸化膜5a上にn形多結晶シリコン膜からなる第1の配線1a-1, 1a-2, …を形成し、その上に形成されたCVD法による酸化シリコン膜6aの特

定領域を開孔して記憶コード用のコンタクト孔2a-1, 2a-2, …を設け、その上にP形多結晶シリコン膜からなる第2の配線3a-1, 3a-2, …を形成する。第1, 第2の配線の交差点にコンタクト穴があればそこで接合ができる。読み出し方式は、第1の配線群の非選択の配線に正電圧 V_D を印加し、選択する配線をGND電位とする。そして第2の配線群の非選択の配線をGND電位とし、選択する配線の電位を $1/2 V_D$ とし、選択された第1, 第2の配線間の導通状態により記憶データを判定できる。

たとえば第1図(a)において(3a-2, 1a-2)で指定されるビットを読み出す場合、1a-1, 1a-3に V_D 電位を、1a-2にGND電位を3a-1, 3a-3にGND電位を、Bに $1/2 V_D$ 電位をそれぞれ印加することにより判定ができる。図示の場合、3a-2, 1a-2間にコンタクト穴はないから非導通であり、もしコンタクト穴があつてPN接合があれば導通状態になる。

〔発明の効果〕

以上説明したように本発明は絶縁膜を介して設けられた互いに逆導電形のシリコン膜からなる配線群をコンタクト孔でコーディングする記憶セルを有しているので、記憶セルを多層に積み重ねることができ、読み出し専用半導体記憶装置の高集積化が容易に達成できる効果がある。

図面の簡単な説明

第1図(a)は本発明の第1の実施例を示す半導体チップの平面図、第1図(b)は第1図(a)のX-X'線断面図、第2図及び第3図はそれぞれ第2の実施例及び従来例を示す半導体チップの断面図である。

1a-1, 1a-2, 1a-3, 1b-1, 1b-2, 1b-3…第1の配線、2a-1, 2a-2, 2a-3, 2b…コンタクト孔、3a-1, 3a-2, 3a-3, 3b…第2の配線、4, 4a, 4b…P形シリコン基板、5a, 5b…熱酸化膜、6a, 6b…酸化シリコン膜、7-

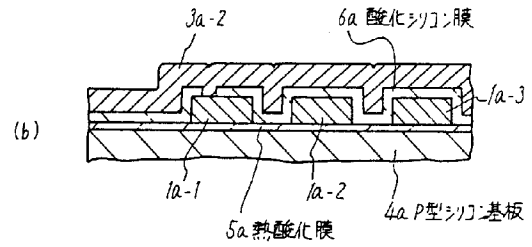
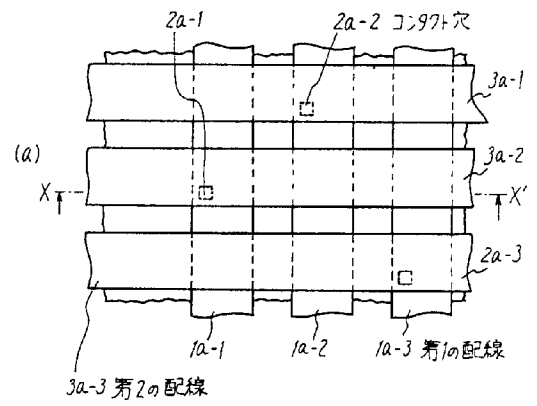
MOSトランジスタに比較すると構成が簡単であるので単位記憶セルの占有面積が少なくて良く、高集積化も容易である。

第2図は本発明の第2の実施例を示す半導体チップの断面図である。本実施例では層間絶縁膜13を介してもう1つの記憶セル配列が積み重ねられている層間絶縁膜13の表面をエッチバックにより平坦化しておけば原理的には何段でも積み重ねることができる。この実施例は多層化による高集積化が実現出来る。

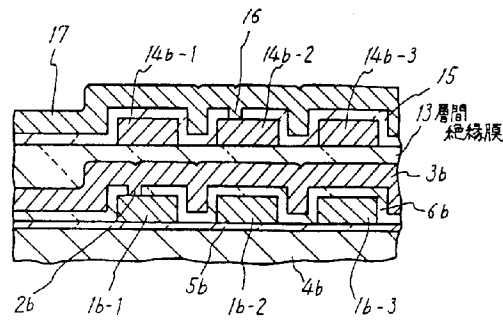
又、本発明は多結晶シリコン膜を用いることに限定されず、レーザアニール等の手法により多結晶シリコンを単結晶化したものも含まれることは明らかである。なお、記憶装置の読み出し回路等の周辺回路は従来通りのMOS集積回路を同じ半導体基板に設ければよいのである。更に、第1, 第2の配線は、アルミニウム膜/シリコン膜の2層構造にし、コンタクト孔部で接触する側にシリコン膜がくるようにしておけば配線抵抗を小さくできる。

1, 7-2, 7-3...N⁺拡散層、8...ゲート酸化膜、9-1, 9-2...ゲート電極、10...記憶コード用イオン注入層、11...絶縁層、12-1, 12-2...アルミニウム配線、13...層間絶縁膜、14b-1, 14b-2, 14b-3...他の第1の配線、15...酸化シリコン膜、16...コンタクト孔、17...他の第2の配線。

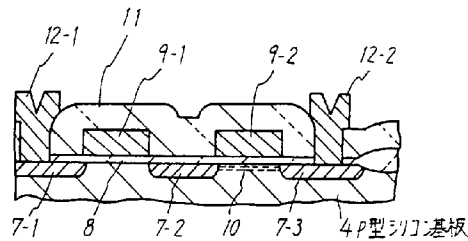
代理人 弁理士 内 原 晋



第 1 図



第 2 図



第 3 図